

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-012097

(43)Date of publication of application : 21.01.1991

(51)Int.Cl.

G11C 14/00

(21)Application number : 01-145598

(71)Applicant : HITACHI LTD  
HITACHI VLSI ENG CORP

(22)Date of filing : 08.06.1989

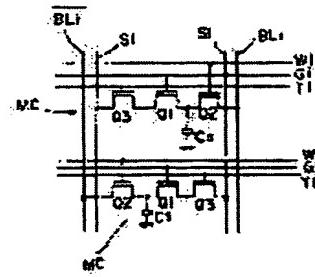
(72)Inventor : NAGAI YOSHIKAZU  
SATO NOBUYUKI  
TSUYAMA TOMOSUKE  
FURUSAWA KAZUNORI

## (54) NONVOLATILE DRAM

## (57)Abstract:

**PURPOSE:** To make a circuit into a highly integrated circuit by using an NMOS transistor in a dynamic memory cell as a nonvolatile storage element instead of a static memory cell.

**CONSTITUTION:** The NMOS transistor Q1 and a selective MOSFET Q1 are connected in series to the electrode on one side of the accumulative capacitance element Cs of a dynamic memory cell part. When data is rewritten, since a DRAM mode is set and a transfer mode can be set when information held with a memory cell is returned to the dynamic memory cell part of the memory cell prior to the DRAM mode, the data in the memory cell can be preserved when a power source is disconnected as keeping the same access speed as that of an ordinary DRAM between the outside. In such a way, by using the dynamic memory cell and using the NMOS transistor as the nonvolatile storage element, structure can be simplified.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-12097

⑬ Int. Cl.<sup>b</sup>  
G 11 C 14/00

識別記号

府内整理番号

⑭ 公開 平成3年(1991)1月21日

8323-5B G 11 C 11/34

352 A

審査請求 未請求 請求項の数 4 (全11頁)

⑮ 発明の名称 不揮発性DRAM

⑯ 特願平1-145598

⑰ 出願 平1(1989)6月8日

⑱ 発明者 永井 義和 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内

⑲ 発明者 佐藤 信之 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出願人 日立超エル・エス・アイエンジニアリング株式会社 東京都小平市上水本町5丁目20番1号

㉒ 代理人 弁理士 玉村 静世

最終頁に続く

明細書

1. 発明の名称

不揮発性DRAM

2. 特許請求の範囲

1. ビット線に結合された第1選択トランジスタと、メモリ動作に応じた電圧を選択的に伝達するための第2トランジスタとの間に、トンネル効果によって書き換え可能なMNOS型トランジスタを結合し、このMNOS型トランジスタと上記第1選択トランジスタとの結合ノードに蓄積容量素子の一方の電極を結合して成るメモリセルを含み、さらに、上記第2選択トランジスタをカットオフしてメモリセルをダイナミック型メモリセルとして動作させるDRAMモードと、上記蓄積容量素子の蓄積電荷量に応じてMNOS型トランジスタを書き換えるプログラムモードと、上記MNOS型トランジスタの書き換え状態に対応させて蓄積容量素子の充放電状態を決定する転送モードとを選択的に実行するための制御部を備えて成る不揮発性DRAM。

2. 上記転送モードが指示されたとき、制御部は、蓄積容量素子の充放電状態を初期化した後、全ての第2選択トランジスタを同時に選択し、MNOS型トランジスタを通じて蓄積容量素子の充放電状態を決定するようされて成る請求項1記載の不揮発性DRAM。

3. 上記プログラムモードが指示されたとき、制御部は、ワード線を共有するメモリセル毎に書き換え制御を行うようされて成る請求項1又は2記載の不揮発性DRAM。

4. ワード線を共有するメモリセル単位で順次アドレスを生成するアドレスカウンタを内蔵し、上記制御部は、DRAMモードにおいてそのアドレスカウンタをリフレッシュアドレスカウンタとし、上記プログラムモードにおいてはそのアドレスカウンタをプログラムアドレスカウンタとして利用するようられて成る請求項3記載の不揮発性DRAM。

3. 発明の詳細な説明

(産業上の利用分野)

## 特開平3-12097(2)

本発明は、動作時にはDRAM(ダイナミック・ランダム・アクセス・メモリ)、そして待機時にはEEPROM(エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)のようにデータを保持する不揮発性DRAMに関して、例えばフロッピーディスクなどに書き換えるための電子ファイルに適用して有効な技術に関するものである。

## 〔従来技術〕

メモリカードもしくはICカード化して電子ファイルに適用するような半導体集積回路においては、比較的アクセスタイムが短く、且つ電源遮断時にもデータを保持する機能が要求される。このような要求を満足するものとして、例えば、データを紙面上に書き換えるときはRAMとして動作し、電源遮断時などにはデータを不揮発性記憶素子に書き換える機能を持った不揮発性RAMを採用することができる。

従来の不揮発性RAMは、スタティックRAMにおけるスタティックメモリセルに、EEPROM

界があった。そこで、本発明者はスタティックメモリセル部分の代わりにダイナミック型メモリセル構造を採用することを検討したが、さらにその場合には、構造の比較的簡単な不揮発性記憶素子を採用することが高集成を図る上で有利なことを見出した。

本発明の目的は、集成度もしくは記憶容量を向上させる上において最適な不揮発性DRAMを提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は本明細書の記述並びに添付図面から明らかになるであろう。

## 〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの大要を簡単に説明すれば下記の通りである。

すなわち、第1選択トランジスタ及び蓄積容量素子によって構成されるダイナミック型メモリセル部分の、当該蓄積容量の一方の電極に、MOS型トランジスタと第2選択トランジスタを直列接続したメモリセル構造を採用し、その第2選択

Mにおける不揮発性記憶素子を組合わせたメモリセル構造を持ち、例えばフリップフロップを用いたスタティックメモリセルの一対の記憶ノードに、分離用トランジスタやMOSトランジスタを直列接続して構成される。斯るメモリセル構造において、フリップフロップが保持する情報をMOSトランジスタに選避させる場合には、一对のMOSトランジスタを消去状態にした後、当該フリップフロップの一対の記憶ノードの相補レベルに従って一方のMOSトランジスタを書き込み状態に切替する。

尚、上記不揮発性SRAMについて記載された文献の例としては昭和58年11月28日株式会社サイエンスフォーラム発行の「超LSIハンドブック」第328頁～第330頁がある。

## 〔発明が解決しようとする課題〕

しかしながら、従来の不揮発性RAMではスタティックメモリセルを含む關係上、その部分に6～8個のトランジスタが必要になり、この点において集成度もしくは記憶容量を増そうとしても限

トランジスタをカットオフ状態にしたDRAMモードと、ダイナミック型メモリセル部分がダイナミックに保有する情報を応じてMOS型トランジスタを書き換えるプログラムモードと、ダイナミック型メモリセル部分を初期化した後にオン状態の第2選択トランジスタを通して、MOS型トランジスタのプログラム状態に従って蓄積容量電子を充電又は放電させる転送モードとを選択的に実行させる制御部を設けて不揮発性DRAMを構成するものである。

上記転送モードの動作効率を向上させるには、ダイナミック型メモリセル部分に対する初期化と第2選択トランジスタを通した充電又は放電動作とを全てのメモリセルに対して同時にを行うようになるとよい。

また、上記プログラムモードの動作効率を向上させるには、ワード線を共有する複数のメモリセル単位で書き換え制御を行うようにするとよい。

その場合に、ワード線を順次選択するためのアドレスを生成可能なアドレスカウンタを内蔵させ

## 特開平3-12097(3)

ると、このアドレスカウンタは、プログラムモードの他に、DRAMモードにおけるリフレッシュアドレスの生成にも兼用可能になる。

## 【作用】

上記した手段によれば、スタティックメモリセル部分に代えてダイナミック型メモリセル部分を採用することは、メモリセル構成用素子数を低減するように作用し、また不揮発性記憶素子としてMNOS型トランジスタを採用することは、横方向の構造が比較的複雑なPLOTOX(フローティングゲート・トンネル・オキサイド)型トランジスタに比らべて不揮発性記憶素子の構造を簡素化するように作用し、これによって、不揮発性RAMの高集積化もしくは大記憶容量化を達成するものである。

## 【実施例】

第4図には本発明の一実施例である不揮発性DRAMの全体的なプロック図が示される。同図に示される不揮発性DRAMは、特に制限されないが、公知の半導体集積回路製造技術によってシリ

コンのような1つの半導体基板に形成される。

第4図に示される不揮発性DRAMは、特に制限されないが、NチャンネルシリコンゲートMNOS型の不揮発性メモリセル部分と、ダイナミック型メモリセル部分とによって個々のメモリセルが構成され、それらメモリセルを複数個マトリックス配置して成るメモリセルアレイ1を有する。

ここで先ず上記メモリセル構造の一例を説明する。

このメモリセルMCは、特に制限されないが、第1図に示されるように、1トランジスタ型のダイナミックメモリセル同様にNチャンネル型選択MOSFETQ2と、蓄積容量素子Csとを直列接続したダイナミック型メモリセル部分と、上記蓄積容量素子Csの一方の電極にシリコンゲートNチャンネル型のMNOSトランジスタQ1とNチャンネル型選択MOSFETQ3とを直列接続した不揮発性メモリセル部分とを備えて構成される。メモリセルアレイ1を構成する全てのメモリセルは、特に制限されないが、第2図のようにN

型半導体基板30に設けられたP型ウェル領域31に形成されている。上記MNOS型トランジスタQ1は、そのP型ウェル領域の上に積層されたSiO<sub>2</sub>で成る酸化膜32、Si<sub>x</sub>N<sub>y</sub>で成るシリコンナイトライド膜33、及びポリシリコン層34を備え、N<sup>+</sup>拡散領域35、36をソース・ドレイン領域として構成される。上記選択MOSFETQ2は、SiO<sub>2</sub>で成る酸化膜32即ちゲート酸化膜の上にゲート電極を構成するポリシリコン層37を備え、N<sup>+</sup>拡散領域38、39をソース・ドレイン領域として構成される。蓄積容量素子Csは、積層された酸化膜32とシリコンナイトライド膜40を絶電体膜とし、その上に形成されたポリシリコン層41を一方の電極とし、その下に形成された上記N<sup>+</sup>拡散領域36、38及びその間に配置されたN<sup>+</sup>拡散領域42を他方の電極として構成される。上記選択MOSFETQ3は、ゲート酸化膜として機能する酸化膜32の上にゲート電極を構成するポリシリコン層43を備え、N<sup>+</sup>拡散領域44、45をソース・ドレイン

領域として構成される。上記N<sup>+</sup>拡散領域39は、コンタクトホールを介してアルミニウム層45にオーム接続され、またN<sup>+</sup>拡散層44はアルミニウム層46にオーム接続されている。尚、酸化膜32の上表面にはHLD層47及びPSG層48が被着されている。

上記メモリセルMCは、特に制限されないが、折り返しビット線方式のDRAM同様、一对の相補ビット線BLi、BLjに対して交互に選択MOSFETQ2のソース・ドレイン電極が結合されている。また、他方の選択MOSFETQ3のドレイン電極には、MNOS型トランジスタQ1に対する書き込み阻止や蓄積容量素子Csに充電電荷を供給するための電圧が与えられる制御線Siが列毎に共通接続されている。上記選択MOSFETQ2のゲート電極は、代表的に示されたワード線W<sub>i</sub>、W<sub>j</sub>に行方向毎に結合され、MNOS型トランジスタのゲート電極は代表的に示された書き換え制御線Gi、Gjに行方向ごとに結合され、また他方の選択MOSFETQ3のゲート

## 特開平3-12097(4)

電極は代表的に示された切り換え制御線  $T_i$ ,  $T_j$  行方向毎に結合されている。

斯るメモリセル構造をもつ本実施例の不揮発性 DRAM は、全ての選択 MOSFET Q3 をカットオフ状態にした DRAM モードと、蓄積容量素子  $C_s$  に蓄えられている電荷量に応じて MNOS 型トランジスタ Q1 を書き換えるプログラムモードと、蓄積容量素子  $C_s$  を放電させた後に選択 MOSFET Q3 を通して与えられる充電電荷を MNOS 型トランジスタ Q1 のプログラム状態に応じて選択的に蓄積容量素子  $C_s$  に与える転送モードとを選択的に行い得るようになっている。

ここで、不揮発性 DRAM の構成を説明する前に上記各動作モードについて説明する。

DRAM モードでは全てのメモリセル MC の選択 MOSFET Q3 がカットオフされる。したがって、MNOS 型トランジスタ Q1 のプログラム状態に拘わらず蓄積容量素子  $C_s$  は制御線  $S_i$  から切り離され、これによってメモリセル MC は等価的にダイナミック型メモリセルになる。このと

を共有する一行分の複数のメモリセル単位で行われるようになっている。

このプログラムモードにおける電圧条件の一例は第 3 図に示される。

消去動作では、特に制限されないが、選択された書き換え制御線  $G_i$  に書き換え用電圧  $-V_{pp}$  が印加されると共に、ウェル領域に電源電圧  $V_{dd}$  が印加され、これによって得られる電界の作用によって正孔がウェル領域 31 から酸化膜 32 とシリコンナイトライド膜 33 との界面近傍のトラップ領域に注入されて、MNOS 型トランジスタ Q1 のしきい値電圧が接地電位  $V_{ss}$  よりも小さな値にされ、所謂デプレッション型になる。

書き込み動作では、特に制限されないが、選択的に書き換え制御線  $G_i$  に電源電圧  $V_{dd}$  が印加されると共に、ウェル領域 31 に書き換え用高電圧  $-V_{pp}$  が印加され、これによって得られる電界の作用によって電子がウェル領域 31 から酸化膜 32 とシリコンナイトライド膜 33 との界面近傍のトラップ領域に注入されて、MNOS 型ト

きメモリセルは、論理「1」又は論理「0」のメモリセルデータを蓄積容量素子  $C_s$  の充電電荷量の相違によって区別し得るようダイナミックに保持する。特に制限されないが、本実施例では、蓄積容量素子  $C_s$  の充電状態に応するメモリセルデータを論理「1」、その放電状態に応するメモリセルデータを論理「0」とする。

プログラムモードでは、EEPROM 同様、MNOS 型トランジスタ Q1 に対する消去動作と書き込み動作が行われ、これによって、蓄積容量素子  $C_s$  が保有する電荷情報が MNOS 型トランジスタ Q1 のプログラム状態として退避される。例えば、メモリセル MC の蓄積容量素子  $C_s$  が保有するメモリセルデータを相補ビット線に読み出して後述するセンスアンプでラッチし、次いで MNOS 型トランジスタ Q1 を消去し、その後に、センスアンプにラッチされている論理「0」のデータに応するメモリセルに対して書き込みが行われ、論理「1」のデータに応するメモリセルに対しては書き込みが阻止される。この動作は、ワード線

トランジスタ Q1 のしきい値電圧が接地電位  $V_{ss}$  よりも大きな値にされ、所謂エンハンスマント型になる。このとき、制御線  $S_i$  に電源電圧  $V_{dd}$  が印加されている場合には、MNOS 型トランジスタ Q1 のチャンネル領域に拡がる空乏層によって電子の注入が阻止されることにより、当該 MNOS 型トランジスタ Q1 に対する書き込みが阻止される。

上記転送モードでは、MNOS 型トランジスタ Q1 のプログラム状態として退避されたメモリセルデータを蓄積容量素子  $C_s$  に戻すための放電動作と充電動作が行われる。この充放電動作時の電圧条件の一例は第 3 図に示されている。最初に全てのメモリセル MC の選択 MOSFET Q2 がターンオンされると共に全てのビット線が接地電位  $V_{ss}$  強制され、これによって全ての蓄積容量素子  $C_s$  を放電状態に初期化する放電動作が完了される。次いで、全ての選択 MOSFET Q3 がオン状態に制御されると共に全ての制御線  $S_i$  が電源電圧  $V_{dd}$  に強制される。このとき、書き換え

制御線 G<sub>i</sub> は接地電位 V<sub>SS</sub> にされているため、エシハンスマント型にプログラムされている MNOS 型トランジスタ Q<sub>1</sub> を含むメモリセル MC の蓄積容量素子 C<sub>s</sub> は放電状態を保って論理「0」のメモリセルデータを保有し、一方、デブリジョン型にプログラムされている MNOS 型トランジスタ Q<sub>1</sub> を含むメモリセル MC の蓄積容量素子 C<sub>s</sub> は電源電圧 V<sub>dd</sub> に充電されて論理「1」のメモリセルデータを保有することになる。

上記各種動作モードは、タイミング制御回路 1 に供給される外部制御信号、即ちロードアドレスストローブ信号 RAS、カラムアドレスストローブ信号 CAS、ライトイネーブル信号 WE、及びデータトランスファ信号 DT のレベルの組合せ状態によって決定される。例えばロードアドレスストローブ信号 RAS がローレベルにアサートされてチップ選択状態にされたとき、データトランスファ信号 DT がハイレベルにネゲートされている状態では、DRAM モードにされる。この DRAM モードにおいてライトイネーブル信号 WE がロ

トランスファ信号 DT がローレベルにアサートされた後にライトイネーブル信号 WE がハイレベルにアサートされると転送モードが指示され、これによってタイミング制御回路 1 は、転送モード信号 φ<sub>2</sub> をワンショットパルス変化させて転送制御回路 1 3 に与える。転送制御回路 1 3 はそのワンショットパルスを受けてセット状態にされるマスタ・スレーブ形式のフリップフロップを有し、このフリップフロップがセット状態にされることにより転送制御回路 1 3 は、転送モードを実行させるための各種制御信号を生成する。メモリアレイ 1 に含まれる全てのメモリセル MC に対する転送動作が終了されると、最後にそのフリップフロップがリセットされて転送モードが解除される。

次に上記各種動作モードを実行するための構成を第 4 図に従って説明する。

第 4 図のメモリセルアレイ 1 において各メモリセルの選択ゲート（選択 MOSFET Q<sub>2</sub> のゲート電極）は行ごとにワード線 W<sub>0</sub> ～ W<sub>n</sub> に結合され、また、各メモリセルのコントロールゲート

### 特開平3-12097 (5)

一レベルにアサートされることにより外部からメモリセル MC へのデータの書き込みが指示され、ライトイネーブル信号 WE がハイレベルにネゲートされることによりメモリセルデータの外部への読み出しが指示される。データトランスファ信号 DT がローレベルにアサートされた後にライトイネーブル信号 WE がローレベルにアサートされるとプログラムモードが指示され、これによってタイミング制御回路 1 1 は、プログラムモード信号 φ<sub>p</sub> をワンショットパルス変化させて書き換え制御回路 1 2 に与える。書き換え制御回路 1 2 にはそのワンショットパルスを受けてセット状態にされるマスタ・スレーブ形式のフリップフロップを有し、このフリップフロップがセット状態にされることにより書き換え制御回路 1 2 は、プログラムモードを実行させるための各種制御信号を生成する。メモリセルアレイ 1 に含まれる全てのメモリセル MC に対するプログラム動作が終了されると、最後にそのフリップフロップがリセットされてプログラムモードが解除される。また、データ

（MNOS 型トランジスタの Q<sub>1</sub> のポリシリコンコントロールゲート電極）は行毎に書き換え制御線 G<sub>0</sub> ～ G<sub>n</sub> に結合され、また、選択 MOSFET Q<sub>3</sub> のゲート電極は行毎に切り換え制御線 T<sub>0</sub> ～ T<sub>n</sub> に結合される。また、メモリセル MC のデータ入出力端子は折り返しビット線構造の相補ビット線 BL<sub>0</sub> ～ BL<sub>n</sub> 、 BL<sub>n</sub> に列毎に結合され、又各メモリセルの選択 MOSFET Q<sub>3</sub> は列毎に制御線 S<sub>0</sub> ～ S<sub>n</sub> に結合される。

上記ワード線 W<sub>0</sub> ～ W<sub>n</sub> は、ロードアドレスデコーダ 2 の出力端子に結合され、このロードアドレスデコーダ 2 の動作に従って所定のワード線が選択レベルに駆動されると、そのワード線に選択端子が結合されている全てのメモリセルはビット線 BL<sub>0</sub> ～ BL<sub>n</sub> 、 BL<sub>n</sub> に導通される。尚、相補ビット線 BL<sub>0</sub> ～ BL<sub>n</sub> 、 BL<sub>n</sub> には、待機状態においてそれを電源電圧 V<sub>dd</sub> の半分のレベルにハーフプリチャージするプリチャージ回路が接続されている。

上記相補ビット線 BL<sub>0</sub> ～ BL<sub>n</sub> 、 BL<sub>n</sub>

## 特開平3-12097(6)

には、一方において1行分のメモリセルMCの数に相当するスタティックラッチを主体とした複数個のセンスアンプを含むセンスアンプアレイ4が結合される。このセンスアンプアレイ4は、DRAMモードにおける書き込み／読み出し動作やリフレッシュ動作時、さらにはプログラムモードにおける書き換え動作時に、図示しないセンスアンプタイミング信号により動作状態とされ、例えば、ワード線の選択動作によって一方のビット線結合されたメモリセルからの微少読み出し電圧と、他方のビット線が保有している参照電位との電位差を増幅して、その状態をスタティックに保持する。

また、相補ビット線は、他方においてカラム選択回路5に結合される。このカラム選択回路5には図示しないカラム選択スイッチが相補ビット線BL<sub>0</sub>、BL<sub>1</sub>～BL<sub>n</sub>、BL<sub>n</sub>と1対1対応で含まれ、それら図示しないカラム選択スイッチの出入力端子は所定の順番に従って例えば8本の相補共通データ線CD<sub>0</sub>、CD<sub>1</sub>～CD<sub>n</sub>、CD<sub>n</sub>に共通接続される。カラム選択回路5に含まれる夫々の

みサイクルに呼応して書き換え制御回路12からアサートされる制御信号φ<sub>p<sub>1</sub></sub>と、当該動作モードにおいて消去サイクルに呼応して書き換え制御回路12からアサートされる制御信号φ<sub>p<sub>2</sub></sub>と、ロードレス信号Raddrとが供給され、その第1選択制御回路10は、制御信号φ<sub>p<sub>1</sub></sub>のアサート状態では、ロードレス信号Raddrに応ずる1本の書き換え制御線に高電圧-V<sub>pp</sub>を印加し、制御信号φ<sub>p<sub>2</sub></sub>のアサート状態ではロードレス信号Raddrに応ずる1本の書き換え制御線に電源電圧Vddを印加し、その他の状態では全ての書き換え制御線G<sub>0</sub>～G<sub>n</sub>に接地電位Vssを与える。

上記制御線S<sub>0</sub>～S<sub>n</sub>は第2選択制御回路14の出力端子に結合されている。この第2選択制御回路14は、プログラムモードにおいて消去前にセンスアンプアレイ4が保持した1行分のデータを、書き込みサイクルに呼応してアサートされる制御信号φ<sub>p<sub>3</sub></sub>の指示により取り込み、取り込んだメモリセルデータの内論理「1」のメモリセル

図示しないカラム選択スイッチは、カラムアドレス信号Cadrが供給されるカラムアドレスデコーダ6の出力選択信号に基づいてスイッチ制御され、当該カラムアドレス信号Cadrに従って8個を1単位としてオン動作される。これにより選択的にオン動作される8個の図示しないカラム選択スイッチに結合されている8本の相補ビット線は夫々相補共通データ線CD<sub>0</sub>、CD<sub>1</sub>～CD<sub>n</sub>、CD<sub>n</sub>に導通される。

上記相補共通データ線CD<sub>0</sub>、CD<sub>1</sub>～CD<sub>n</sub>、CD<sub>n</sub>は、8個のメインアンプMA<sub>0</sub>～MA<sub>7</sub>を介してデータ入出力バッファBUF<sub>0</sub>～BUF<sub>7</sub>に結合され、外部との間で8ビットのデータD<sub>0</sub>～D<sub>7</sub>を並列的に出入力可能とされている。

上記書き換え制御線G<sub>0</sub>～G<sub>n</sub>は第1選択制御回路10の出力端子に結合される。この第1選択制御回路10は、書き換え制御線G<sub>0</sub>～G<sub>n</sub>に対し、第3回に基づいて説明したような電圧条件を動作モードに応じて与える。即ち、第1選択制御回路10には、プログラムモードにおける書き込

データに応ずるメモリセルの制御線を電源電圧Vddに、それ以外の制御線を接地電位Vssに強制して、その電源電圧Vddが印加されるメモリセルに対して書き込み阻止を行う。プログラムモードにおける消去サイクルで上記制御信号φ<sub>p<sub>2</sub></sub>がアサートされたときには、第2制御回路14は全ての制御線S<sub>0</sub>～S<sub>n</sub>を電源電圧Vddに強制する。転送モードでは、上記転送制御回路13から出力される制御信号φ<sub>t<sub>1</sub></sub>が上記放電動作後にアサートされると、第2選択制御回路12は、充電動作のために全ての制御線S<sub>0</sub>～S<sub>n</sub>に電源電圧Vddを供給する。尚、それ以外の状態において全ての制御線S<sub>0</sub>～S<sub>n</sub>は接地電位Vssに強制されている。

上記切り替え制御線T<sub>0</sub>～T<sub>n</sub>は第3選択制御回路15の出力端子に結合されている。この第3選択制御回路15は、プログラムモードにおける消去サイクルに呼応して制御信号φ<sub>p<sub>3</sub></sub>がアサートされると、そのとき供給されているロードレス信号Raddrに応ずる1本の切り替え制御線に

## 特開平3-12097(7)

電源電圧  $V_{dd}$  を供給し、当該 1 本の切り換え制御線にゲート電極が結合されている一行文全ての選択 MOSFET Q3 をオン状態に制御し、また、プログラムモードにおける書き込みサイクルに呼応して制御信号  $\phi_{pp}$  がアサートされたときにも上記同様ロードアドレス信号に応する 1 本の切り換え制御線にゲート電極が結合されている一行分全ての選択 MOSFET Q3 をオン状態に制御する。更にこの第 3 選択制御回路 15 は、転送モードにおいて上記放電動作後の充電動作のために制御信号  $\phi_{tt}$  がアサートされると、全ての切り換え制御線  $T_1 \sim T_n$  に電源電圧  $V_{dd}$  を供給して全ての選択 MOSFET Q3 をオン動作させる。尚、それら以外の状態において全ての切り換え制御線  $T_1 \sim T_n$  は接地電位  $V_{ss}$  に強制される。

上記ロードアドレスデコーダ 2 は、これに供給されるロードアドレス信号  $Radr$  をデコードして当該アドレス信号  $Radr$  に呼応する 1 本のワード線を選択レベルとしての電源電圧  $V_{dd}$  に強制するが、転送モードの放電動作時、言い換えるなら、

おいては消去／書き込みのためのロードアドレス（以下単にプログラムアドレスとも記す）  $App$  を順番に生成する；自動リフレッシュ時におけるアドレスカウンタ 8 のインクリメントタイミングはタイミング制御回路 11 から与えられ、プログラムモードにおけるそのインクリメントタイミングは書き込み制御回路 12 から与えられそのインクリメントタイミングは書き込み制御回路 12 から与えられる。

カラムアドレスバッファ 9 は、カラムアドレスストローブ信号 CAS に同期して外部から供給されたアドレス信号 AY を受け、内部相補アドレス信号として上記カラムアドレス信号  $Cadr$  を形成する。

じょうきメモリセルアレイ 1 のウェル領域 31 に対する電圧条件はウェルコントローラ 16 によって与えられる。即ち、このウェルコントローラ 16 は、書き込みサイクルに呼応して制御信号  $\phi_{pp}$  がアサートされることにより、電源電圧  $V_{dd}$  に代えて書き換え用高電圧  $-V_{pp}$  を出力する。

制御信号  $\phi_{tt}$  がアサートされたときにはロードアドレス信号  $Radr$  に拘らず全てのワード線  $W_1 \sim W_n$  を選択レベルとしての電源電圧  $V_{dd}$  に駆動し、また、転送モードの充電動作時に制御信号  $\phi_{tt}$  がアサートされたときには全てのワード線  $W_1 \sim W_n$  を非選択レベルとしての接地電位  $V_{ss}$  に強制する。

ロードアドレスバッファ 7 は、ロードアドレスストローブ信号 RAS に同期して外部から供給されたアドレス信号 AX を受け、内部相補アドレス信号を形成してマルチプレクサ 3 に供給する。

上記マルチプレクサ 3 は、DRAM モードにおいてはロードアドレスバッファ 7 から供給されるアドレス信号を選択し、またそれ以外の動作モードではアドレスカウンタ 8 から供給されるアドレス信号を選択し、選択したものをロードアドレス信号  $Radr$  として出力する。アドレスカウンタ 8 は、CAS ビフォア RAS リフレッシュ方式による自動リフレッシュに際してリフレッシュアドレス  $ref$  を順番に生成し、またプログラムモードに

上記タイミング発生回路 11 は、ロードアレスストローブ信号 RAS、カラムアドレスストローブ信号 CAS、ライトイネーブル信号 WE、データトランസフア信号 DT を受けて、メモリ動作に必要な上記並びにそのほかの各種内部制御信号を生成する。

次に本実施例の不揮発性 DRAM の全体的な動作を説明する。

電源電圧が投入されて不揮発性 DRAM に転送モードが設定されると、メモリセルアレイ 1 に含まれる全ての蓄積容量素子  $C_s$  が相補ビット線  $B_L, BL_1 \sim BL_n \sim BL_n$  を介してディスチャージされ、その後で全ての選択 MOSFET Q3 がオン状態に制御されて制御線  $S_1 \sim S_n$  から電源電圧  $V_{dd}$  が供給されることにより、蓄積容量素子  $C_s$  に対する充電動作が開始される。このとき、全ての書き換え制御線  $G_1 \sim G_n$  は接地電圧  $V_{ss}$  にされている。したがって、エンハンスマント型にプログラムされている MNOS 型トランジスタ Q1 はオフ状態にされることにより、これ

## 特開平3-12097(8)

を含むメモリセルMCの蓄積容量素子Csは充電されずに論理「0」のメモリセルデータを保持する。一方、デプレシジョン型にプログラムされているMNOS型トランジスタQ1はオン状態にされることにより、これを含むメモリセルMCの蓄積容量素子Csは電源電圧Vddに充電されて論理「1」のメモリセルデータを保有することになる。

その後DRAMモードが設定されると、不揮発性DRAMのメモリセルMCは等価的にダイナミック型メモリセルと同様になり、データトランスマッタ信号DTがネガートされている限り不揮発性DRAMは外部との間でリード・ライト可能になる。

電源電圧Vddを遮断するときにメモリセルデータを保存しておく必要がある場合には不揮発性DRAMにプログラムモードが設定される。このプログラムモードにおいて、MNOS型トランジスタQ1に対する消去と書き込みはワード単位即ちワード線を共有するメモリセル単位で第1行目から第n行目まで順番に行われる。斯るプログラ

遮断時にはメモリセルデータを保存することができる。

(2) メモリセル構造として、従来のスタティックメモリセル部分に代えてダイナミック型メモリセル部分が採用されているから、不揮発性RAMのメモリセル構成素子数を従来よりも低減することができる。

(3) 不揮発性記憶素子としてMNOS型トランジスタQ1が採用されているから、横方行の構造が比較的複雑なPLOTOX型トランジスタに比べて不揮発性記憶素子の構造を簡素化することができる。

(4) 上記作用効果(2)、(3)により、不揮発性RAMの高集積化さらには大記憶容量化を達成することができる。

(5) ダイナミック型メモリセル部分に対する初期化と、選択トランジスタQ3を通じた充電電荷の供給とを全てのメモリセルに対して夫々一括して行うようになっているから、転送モードの動作効率を向上させることができる。

ムモードにより夫々のメモリセルMCがダイナミックに保有するメモリセルデータは、MNOS型トランジスタQ1の消去・書き込み状態に応じて、破壊されることなく保存される。

上記実施例によれば以下の作用効果を得るものである。

(1) 本実施例の不揮発性DRAMは、選択MOSFETQ2及び蓄積容量素子Csによって構成されるダイナミック型メモリセル部分の、当該蓄積容量素子Csの一方の電極に、MNOS型トランジスタQ1を選択MOSFETQ1を直列接続したメモリセル構造を持ち、データを頻繁に書き換えるときにはDRAMモード、メモリセルがダイナミックに保有する情報を電源遮断状態で保存するときにはプログラムモード、そしてプログラムモードによって保存された情報をDRAMモードに先立ってメモリセルのダイナミック型メモリセル部分に戻すときには転送モードを設定し得るようになっているから、外部との間では通常のDRAM同様のアクセス速度を確保しながら、電源

(6) MNOS型トランジスタQ1に対してはワード線を共有する複数のメモリセル単位で消去・書き込みが行われるようになっているから、プログラムモードの動作効率を向上させることができる。

(7) アドレスカウンタA8をリフレッシュアドレスArefの生成とプログラムアドレスAregの生成に兼用することにより、アドレスカウンタを夫々個別に設けなくてもよくなる。

(8) 上記作用効果により、本実施例の不揮発性DRAMは、その使い勝手と集成度の点においてメモリカードやICカードといった電子ファイル化に対して優れた適応性を持つ。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更することができる。

例えばプログラムモードにおける消去・書き込みの電圧条件は上記実施例に限定されず、適宜変更することができ、用は、MNOS型トランジ

## 特開平3-12097 (9)

タに電子や正孔をトンネルさせ得る電界を選択的に形式可能にすればよい。また書き込み阻止電圧は制御線  $S_1 \sim S_n$  側からではなくビット線側から与えるようにしてもよい。

また、転送モードにおける蓄積容量素子の充放電のさせ方は上記実施例に限定されず、例えば全ての蓄積容量素子に対するビット線側からの充電状態を初期状態とし、その後 MNOS 型トランジスタの消去・書き込み状態に従って選択的に蓄積容量素子を放電させるようにしてもよい。

さらに、各種動作モードの設定・解除のやり方や動作モードに応じた内部制御信号の形式論理などは任意に変更することができる。

以上の説明では本発明者によってなされた発明を主としてその背景となった利用分野である電子ファイルのための不揮発性 DRAM に適用した場合について説明したが、本発明はそれに限定されるものではなく、それ以外の記憶手段としての用とにも広く適用することができる。本発明は、少なくとも不揮発性 RAM において高集積化もしく

は高記憶容量化を必要とする条件のものに適用することができる。

## 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、従来のスタティック型メモリセル部分に代えてダイナミック型メモリセル部分を採用することにより不揮発性 RAM のメモリセル構成用素子数を低減することができ、そして、不揮発性記憶素子として MNOS 型トランジスタを採用することにより P L O T O X 型トランジスタに比べて不揮発性記憶素子の構造を簡素化することができる。これにより、電源遮断時にはメモリセルデータを保存可能な不揮発性 RAM において外部との間では通常の DRAM 同様のアクセス速度を確保することができると共に、高集積化並びに大記憶容量化を達成することができるという効果がある。

また、MNOS 型トランジスタに対する書き換

えをワード線単位で行うようにすることにより、プログラムモードの動作効率を向上させることができるという効果がある。

またね MNOS 型トランジスタのプログラム状態に従って保存されたメモリセルデータを蓄積容量素子に転送するときに全てのメモリセルに含まれる第 1 選択トランジスタと第 2 選択トランジスタを交互にスイッチしてスイッチ制御することにより、転送モードの動作効率を向上させることができるという効果がある。

そして、ダイナミック型メモリセル部分に対するリフレッシュアドレスの生成と MNOS 型トランジスタに対する書き換えのためのプログラムアドレスの生成を 1 つのアドレスカウンタを兼用して行うことにより、個別的にアドレスカウンタを置ける場合に比べ、アドレスカウンタによるチップ占有率を低く抑えることができる。

## 4. 図面の簡単な説明

第 1 図は本発明に係る不揮発性 DRAM のメモリセル構造の一例を示す回路図。

第 2 図は第 1 図に示されるメモリセル構造に対応する概略的なチップ横断面図。

第 3 図は不揮発性 DRAM の各種動作モードに対応する電圧条件を示した説明図。

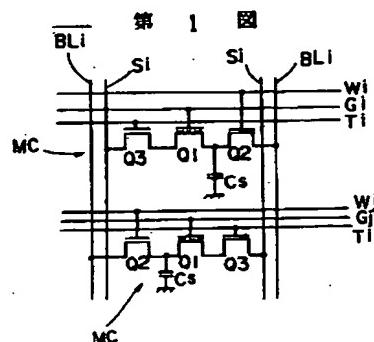
第 4 図は不揮発性 DRAM の全体を示す一実施例ブロック図である。

1 … メモリセルアレイ、MC … メモリセル、Q 1 … MNOS 型トランジスタ、Q 2, Q 3 … 選択トランジスタ、C s … 蓄積容量素子、B L<sub>1</sub> … B L<sub>n</sub> … 相補ビット線、W<sub>1</sub> … W<sub>n</sub> … ワード線、S<sub>1</sub> … S<sub>i</sub> … 制御線、G<sub>1</sub> … G<sub>n</sub> … 替り換え制御線、T<sub>1</sub> … T<sub>n</sub> … 切り替え制御線、3 … マルチプレクサ、4 … センスアンプ、8 … アドレスカウンタ、10 … 第 1 選択制御回路、11 … タイミング制御回路、12 … 替り換え制御回路、13 … 転送制御回路、14 … 第 2 選択制御回路、15 … 第 3 選択制御回路。

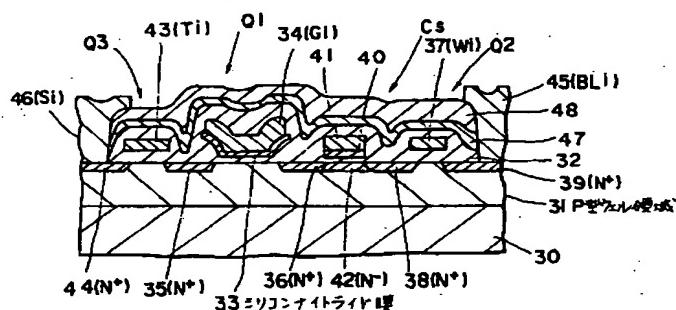
代理人 弁理士 五村 静世



特開平3-12097(10)



第2図

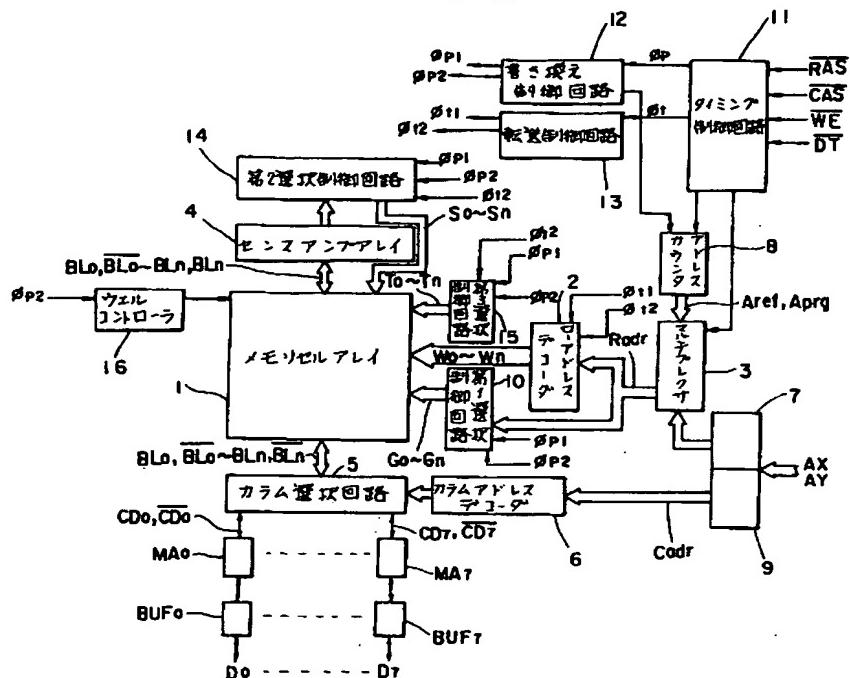


第3図

	Wi	Gi	Ti	SI	BLI	フエル シテ
DRAMモード	Vdd	Vss	Vss	Vss	Vss Vdd	Vdd
アドグラム モード	消去	Vdd	-Vpp	Vdd	Vdd	Vdd
	書き込み	Vdd	Vdd	Vdd	-Vpp Vdd	Floating -Vpp
数据モード	復電	Vdd	Vss	Vss	Vss	Vdd
	充電	Vss	Vss	Vdd	Vdd	Vdd

特開平3-12097 (11)

第4図



## 第1頁の続き

@発明者 津山 友亮 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内

@発明者 古沢 和則 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**